

Usare un **foglio separato** per rispondere alle domande seguenti, specificando nell'intestazione: **Titolo del corso** (*Architettura degli Elaboratori – modulo II*, oppure *Architettura degli Elaboratori B*, oppure *Integrazione*), **Data esame**, **Cognome e Nome**, **Matricola**.

Esercizio 1

Considerare la seguente sequenza di accesso alla cache (ind. fisici a 32 bit):

4, 536, 848, 4, 540, 852, 648, 644, 8, 176, 164, 884

Determinare tag, index e offset per ciascun indirizzo (in formato binario) per due organizzazioni della cache: (a) diretta contenete 16 blocchi da 1 word ciascuna, (b) oppure 8 blocchi da 2 word ciascuna.

Indicare per ogni accesso se trattasi di miss o hit, supponendo la cache inizialmente vuota. Si indichi inoltre quali accessi provocano conflitti, e quindi l'eliminazione dalla cache di un blocco precedentemente presente. Indicare gli indirizzi (decimali) dei blocchi che alla fine della sequenza di accesso risulteranno non presenti in cache.

Soluzione

Cache con 16 blocchi: OFFSET=2 b, INDEX = $\log 16 = 4$ b, TAG = $32 - 2 - 4 = 26$ b

Cache con 8 blocchi: OFFSET=3 b, INDEX = $\log 8 = 3$ b, TAG = $32 - 3 - 3 = 26$ b

Traduzione in binario:

```

4    =      100
536  = 1000011000
848  = 1101010000
4    =      100
540  = 1000011100
852  = 1101010100
648  = 1010001000
644  = 1010000100
8    =      1000
176  =   10110000
164  =   10100100
884  = 1101110100

```

Cache 16 blocchi:

	TAG	INDEX	OFFSET	
4 =	0	0001	00	miss
536 =	1000	0110	00	miss
848 =	1101	0100	00	miss
4 =	0	0001	00	hit
540 =	1000	0111	00	miss
852 =	1101	0101	00	miss
648 =	1010	0010	00	miss
644 =	1010	0001	00	miss (conflitto)
8 =	0	0010	00	miss (conflitto)
176 =	10	1100	00	miss
164 =	10	1001	00	miss
884 =	1101	1101	00	miss

Al termine i blocchi corrispondenti agli indirizzi 4 e 648 non sono più presenti in cache.

Cache 8 blocchi:

	TAG	INDEX	OFFSET	
4 =	0	000	100	miss
536 =	1000	011	000	miss
848 =	1101	010	000	miss
4 =	0	000	100	hit

540 =	1000	011	100	hit
852 =	1101	010	100	hit
648 =	1010	001	000	miss
644 =	1010	000	100	miss (conflitto)
8 =	0	001	000	miss (conflitto)
176 =	10	110	000	miss
164 =	10	100	100	miss
884 =	1101	110	100	miss (conflitto)

Al termine i blocchi corrispondenti agli indirizzi 4, 648 e 176 non sono più presenti in cache.

Esercizio 2

Considerare una specifica memoria cache, per la quale abbiamo: *data miss rate* = 4% e *instruction miss rate* = 2%. Il CPI reale, che tiene conto dei miss, è il 5,44. Se il *miss penalty* è di 100 cicli, calcolare il CPI ideale (senza miss), considerando una percentuale di load/store del 36%.

Per una frequenza di clock 1 GHz, calcolare la misura MIPS ideale e reale.

Calcolare gli speedup ottenibili nei seguenti casi: (a) usare una memoria RAM più veloce, per ridurre il miss penalty del 20%, (b) cambiare l'organizzazione della cache in modo da ridurre i miss rate (dal 4% all'3%, e dal 2% al 1%) senza modificare IC.

Soluzione

$$CPI_{reale} = 5.44 = CPI_{ideale} + (36\% * 4\% + 2\%) * 100 = CPI_{ideale} + (0.36 * 0.04 + 0.02) * 100$$

$$CPI_{ideale} = 5.44 - (0.36 * 0.04 + 0.02) * 100 = 2$$

$$MIPS_{reale} = \frac{IC}{T_{exe} * 10^6} = \frac{IC}{\frac{10^6 * IC * CPI_{reale}}{Freq}} = \frac{Freq}{10^6 * CPI_{reale}} = \frac{10^9}{10^6 * 5.44} = 10^3 / 5.44 = 183.82$$

$$MIPS_{ideale} = \frac{IC}{T_{exe} * 10^6} = \frac{IC}{\frac{10^6 * IC * CPI_{ideale}}{Freq}} = \frac{Freq}{10^6 * CPI_{ideale}} = \frac{10^9}{10^6 * 2} = 10^3 / 2 = 500$$

$$CPI_a = (36\% * 4\% + 2\%) * 0.80 * 100 + 2 = 4.752$$

$$CPI_b = (36\% * 3\% + 1\%) * 100 + 2 = 4.08$$

Per lo speedup, poiché IC e frequenza di clock rimangono invariati, basta calcolare il rapporto tra i CPI:

$$Speedup_a = \frac{CPI_{reale}}{CPI_a} = 5.44 / 4.752 = 1.14$$

$$Speedup_b = \frac{CPI_{reale}}{CPI_b} = 5.44 / 4.08 = 1.33$$