

Usare un foglio separato per rispondere a due delle domande seguenti, specificando nell'intestazione: **Titolo del corso** (*Architettura degli Elaboratori – modulo II* oppure *Architettura degli Elaboratori B*), **Data esame**, **Cognome e Nome**, **Matricola**

### Esercizio 1

Si consideri un sistema di memoria virtuale paginata con indirizzo virtuale di 32 b e indirizzo fisico di 27 b.

Il sistema comprende una TLB 4-way associative, con 512 ingressi totali, e *Tag* di 13 b.

Calcolare il *Page\_size*.

Infine, la cache del sistema è 8-way associative, la parte dati è 1 MB, e il *Block\_size* è di 16 B.

Calcolare *Tag* e l'*Index*.

### Soluzione

$$\# \text{ set TLB} = \frac{512}{4 \text{ vie}} = 128.$$

$$\text{Index} = \log(128) = 7 \text{ b.}$$

$$\text{Page\_offset} = 32 - \text{Index} - \text{Tag} = 32 - 7 - 13 = 12 \text{ b.}$$

$$\text{Page\_size} = 2^{\text{Page\_offset}} = 2^{12} = 4 \text{ KB.}$$

$$\# \text{ blocchi} = \frac{1 \text{ MB}}{16 \text{ B}} = \frac{2^{20}}{2^4} = 2^{16}.$$

$$\# \text{ set cache} = \frac{\# \text{ blocchi}}{8 \text{ vie}} = \frac{2^{16}}{2^3} = 2^{13}.$$

$$\text{Block\_offset} = \log(16 \text{ B}) = 4 \text{ b.}$$

$$\text{Index} = \log(\# \text{ set cache}) = \log(2^{13}) = 13 \text{ b.}$$

$$\text{Tag} = 27 - \text{Index} - \text{Block\_offset} = 27 - 13 - 4 = 10 \text{ b.}$$

### Esercizio 2 (solo per *Modulo II*)

Considerare la seguente funzione C, e la traduzione parziale MIPS:

```
int pari(int a) {
    int t = 0;
    t = a & 1; /* and logico */
    if (t == 0)
        return 1;
    else
        return 0;
}
```

```
pari:
    ...
    ...
    addi $s0, $0, 0    # t = 0;
    ...
    bne  $s0, $0, else # if (t != 0) goto else
    ...
    ...
else:
    addi $v0, $0, 0    # poni 0 nel reg. di ritorno
exit_if:
    ...
    ...
    jr  ....
```

Completare la traduzione MIPS, in accordo alle solite convenzioni di chiamata rispetto al passaggio dei parametri e al salvataggio dei registri.

I *CPI* ideali, ovvero i *CPI* senza considerare l'effetto della cache, sono i seguenti:  $CPI_{lw/sw}=5$ ,  $CPI_{b/j/jr} = 3$  e  $CPI_{log/arit} = 4$ . Calcolare il  $CPI_{medio_ideale}$  derivando le percentuali di utilizzo delle istruzioni dalla porzione di codice MIPS.

Considerando  $data \text{ miss rate} = 4\%$ ,  $instr. \text{ miss rate} = 2\%$ ,  $miss \text{ penalty} = 50$  cicli, calcolare il  $CPI_{medio_reale}$ .

Calcolare infine il numero di cicli totali per l'esecuzione delle istruzioni della funzione.

### Soluzione

La procedura MIPS è la seguente:

```

pari:
    addi    $sp, $sp, -4
    sw      $s0, 0($sp)    # salvo registro prima dell'uso
    addi    $s0, $0, 0      # t = 0;
    andi    $s0, $a0, 1     # AND logico tra parametro attuale e 0...01
    bne     $s0, $0, else   # if (t != 0) goto else
    addi    $v0, $0, 1      # poni 1 nel reg. di ritorno
    j       exif_if
else:
    addi    $v0, $0, 0      # poni 0 nel reg. di ritorno
exit_if:
    lw      $s0, 0($sp)     # ripristino registro
    addi    $sp, $sp, 4
    jr      $ra

```

Il numero di istruzioni eseguite cambia nel caso in cui la chiamata segue il ramo *then* oppure il ramo *else*. Abbiamo  $IC = 10$  nel primo caso, e  $IC = 9$  nel secondo caso. Nel seguito consideriamo il primo caso,  $IC = 10$ . Lo svolgimento del secondo è analogo.

Tot. istr. =  $IC = 10$

$Cicli\_totali_{ideale} = CPI_{lw/sw} * No_{lw/sw} + CPI_{b/j/jr} * No_{b/j/jr} + CPI_{log/arit} * No_{log/arit} = 5 * 2 + 3 * 3 + 4 * 5 = 39$  cicli

Perc. Istr.  $lw/sw = 2/10 = 20\%$ .

Istr.  $b/j/jr = 3/10 = 30\%$ .

Istr.  $log/arit = 5/10 = 50\%$ .

$CPI_{ideale} = CPI_{lw/sw} * 0.2 + CPI_{b/j/jr} * 0.3 + CPI_{log/arit} * 0.5 = 5 * 0.2 + 3 * 0.3 + 4 * 0.5 = 3.9$

Alternativamente:  $CPI_{ideale} = \frac{Cicli\_totali_{ideale}}{IC} = 39/10 = 3.9$

$CPI_{miss} = \frac{penalty(0.02 * IC + 0.04 * Perc_{l/s} * IC)}{IC} = 50 * (0.02 + 0.04 * 0.20) = 1.4$

$CPI_{reale} = CPI_{ideale} + CPI_{miss} = 3.9 + 1.4 = 5.3$

$Cicli\_totali_{reale} = IC * CPI_{reale} = 10 * 5.3 = 53$

## Esercizio 2 (solo per Arch. B)

Considerare due macchine M1 (a 2 GHz) ed M2 (a 1.5 GHz). La seguente tabella illustra le classi di istruzioni macchina, i relativi CPI medi e la distribuzione percentuale delle istruzioni in uno specifico programma.

### Macchina M1

Classe Istr.	CPI	Distr.
A	1	40%
B	2	30%
C	3	20%
D	4	10%

### Macchina M2

Classe Istr.	CPI	Distr.
A	1	40%
B	2	60%

Compilando ed eseguendo il programma per i due sistemi, il tempo di esecuzione per la macchina M2 risulta essere più veloce di M1, con uno speedup di 1.5.

Calcolare il rapporto tra il numero di istruzioni,  $IC_{M1}$  e  $IC_{M2}$ .

Supporre che il precedente calcolo sia stato ottenuto rispetto ad un processore con una cache ideale (che non produce miss). Calcolare il  $CPI_{medio\_reale}$  per entrambe le architetture, considerando *data miss rate* = 4%, *instr. miss rate* = 2%, *miss penalty* = 50 cicli. Le istruzioni che movimentano i dati sono di classe B per M1 e di classe A per M2.

## Soluzione

Calcoliamo il CPI medio per M1 e M2:

$CPI_{M1} = 0.4 * 1 + 0.3 * 2 + 0.2 * 3 + 0.1 * 4 = 2.0$

$CPI_{M2} = 0.4 * 1 + 0.6 * 2 = 1.6$

I due tempi di esecuzione sono quindi così esprimibili:

$EX_{M1} = (CPI_{M1} * IC_{M1}) / Freq_{M1} = (2 * IC_{M1}) / (2 * 10^9) = IC_{M1} * 10^{-9} s. = IC_{M1} ns.$

$EX_{M2} = (CPI_{M2} * IC_{M2}) / Freq_{M2} = (1.6 * IC_{M2}) / (1.5 * 10^9) = IC_{M2} * 1.07 * 10^{-9} s. = 1.07 * IC_{M2} ns.$

Poiché  $Speedup = \frac{EX_{M1}}{EX_{M2}} = 1.5$ , ovvero  $EX_{M1} = 1.5 * EX_{M2}$ , abbiamo che  $IC_{M1} = 1.5 * 1.07 * IC_{M2} = 1.605 IC_{M2}$ .

Ovvero il numero di istruzioni prodotte per M1 è maggiore molto maggiore rispetto al sistema M2.

$CPI_{miss_{M1}} = (instr. miss rate + data miss rate * perc. load/store) * miss penalty = (0.02 + 0.04 * 0.30) * 50 = 1.6.$

$CPI_{medio\_reale_{M1}} = CPI_{M1} + CPI_{miss_{M1}} = 2 + 1.6 = 3.6$

$CPI_{miss_{M2}} = (instr. miss rate + data miss rate * perc. load/store) * miss penalty = (0.02 + 0.04 * 0.40) * 50 = 1.8.$

$CPI_{medio\_reale_{M2}} = CPI_{M2} + CPI_{miss_{M2}} = 1.6 + 1.8 = 3.4$