

Cognome e Nome: _____

Matricola: _____

Modulo II: ☐

Arch. B: ☐

Integrazione: ☐

Architettura degli Elaboratori (*modulo II e B*)

(Compito 9 Settembre 2010)

Rispondere alle seguenti domande in maniera **sintetica**, usando **il presente foglio** per scrivere le risposte.
Non è possibile consultare libri o appunti.

Domande

1. Il verificarsi di un cache miss potrebbe portare ad un TLB miss? Discutere.
2. Come può essere modellato l'accesso al disco? Le prestazioni del disco (banda di trasferimento dei dati) dipendono solo dall'hardware?
3. Discutere con degli esempi i benefici del forwarding e del register file speciale per ridurre gli stalli nell'architettura pipeline a 5 stadi vista a lezione.
4. (*solo per Mod. II, Integrazione*)
Tradurre in assembly MIPS la seguente porzione di codice:

```
if (a[0]==0)
    then b--;
a[0]++;
```

dove l'indirizzo **a** è memorizzato nel registro **\$s0**, mentre la variabile **b** è memorizzata nel registro **\$s1**.

- 4*. (*solo per Arch. B*)
Come viene usata l'ALU per eseguire l'istruzione **beq** nell'architettura multiciclo della CPU MIPS vista a lezione?